

#2
10/518945

PCT/JP 03/07055

日 本 国 特 許 庁
JAPAN PATENT OFFICE

04.06.03

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2002年 6月13日

出 願 番 号
Application Number: 特願2002-172301
[ST. 10/C]: [JP2002-172301]

REC'D 25 JUL 2003

WIPO PCT

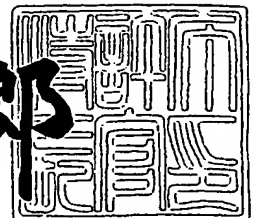
出 願 人
Applicant(s): 株式会社村田製作所

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2003年 7月 9日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3054752

【書類名】 特許願

【整理番号】 32-0521

【提出日】 平成14年 6月13日

【あて先】 特許庁長官 殿

【発明の名称】 半導体デバイス及び該半導体デバイスの製造方法

【請求項の数】 9

【国際特許分類】 H01L 21/363
C01B 9/02
C09K 11/00

【発明者】

【住所又は居所】 京都府長岡京市天神二丁目 2 6 番 1 0 号
株式会社村田製作所内

【氏名】 伊藤 吉博

【発明者】

【住所又は居所】 京都府長岡京市天神二丁目 2 6 番 1 0 号
株式会社村田製作所内

【氏名】 門田 道雄

【特許出願人】

【識別番号】 000006231

【住所又は居所】 京都府長岡京市天神二丁目 2 6 番 1 0 号

【氏名又は名称】 株式会社村田製作所

【代理人】

【識別番号】 100117477

【弁理士】

【氏名又は名称】 國弘 安俊

【電話番号】 06(6101)1266

【手数料の表示】

【予納台帳番号】 132493

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0200746

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体デバイス及び該半導体デバイスの製造方法

【特許請求の範囲】

【請求項 1】 亜鉛極性面と酸素極性面とを有する酸化亜鉛を主成分とする単結晶基板の前記亜鉛極性面上に酸化亜鉛を主成分とする少なくとも 1 層以上の薄膜が形成されていることを特徴とする半導体デバイス。

【請求項 2】 前記薄膜は亜鉛極性を有していることを特徴とする請求項 1 記載の半導体デバイス。

【請求項 3】 前記薄膜は多層膜からなり、該多層膜は発光層を形成していることを特徴とする請求項 1 又は請求項 2 記載の半導体デバイス。

【請求項 4】 前記薄膜は多層膜からなり、該多層膜はスイッチング部を形成していることを特徴とする請求項 1 又は請求項 2 記載の半導体デバイス。

【請求項 5】 酸化亜鉛を主成分とする単結晶基板の表面が亜鉛極性面又は酸素極性面のいずれであるかを判別し、酸化亜鉛を主成分とする少なくとも 1 層以上の薄膜を前記亜鉛極性面上に形成することを特徴とする半導体デバイスの製造方法。

【請求項 6】 前記薄膜は亜鉛極性を有していることを特徴とする半導体デバイスの製造方法。

【請求項 7】 プラズマ生成室と成膜室とを備えたスパッタリング装置を設け、該スパッタリング装置を使用してスパッタリング処理を施し、前記薄膜を形成することを特徴とする請求項 5 又は請求項 6 記載の半導体デバイスの製造方法。

【請求項 8】 前記スパッタリング処理は、電子サイクロトロン共鳴プラズマスパッタ法、誘導結合形プラズマスパッタ法、ヘリコン波励起プラズマスパッタ法、イオンビームスパッタ法、又はクラスタービームスパッタ法の中から選択されたいずれかの方法で行うことを特徴とする請求項 7 記載の半導体デバイスの製造方法。

【請求項 9】 前記薄膜は、分子線エピタキシ法、有機金属化学気相法、レーザ分子線エピタキシ法、又はレーザアブレーション法の中から選択されたいずれかの方法で行うことを特徴とする請求項 5 又は請求項 6 記載の半導体デバイスの

製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体デバイス及び該半導体デバイスの製造方法に関し、より詳しくは半導体材料として酸化亜鉛を使用した半導体デバイス及び該半導体デバイスの製造方法に関する。

【0002】

【従来の技術】

II-VI族化合物半導体の一種である酸化亜鉛（ZnO）は、MgOやCdO等との混晶化によってバンドギャップエネルギーを変化させることができ、量子井戸等の多層構造が可能であり、さらには励起子の結合エネルギーが非常に大きいことから、発光素子への応用が期待されており、また、可視領域で透明であることから液晶ディスプレイ駆動用の透明薄膜トランジスタへの応用が期待されている。

【0003】

ところで、ZnOはウルツ鉱型の結晶構造（六方晶）を有しており、図9に示すように、c軸方向（上下方向）に対称中心を有さず、分子構造上極性を有している。

【0004】

すなわち、ZnOは、図9（a）に示すように、Zn原子51に結合している3本の結合子が下方を向き、酸素原子52に結合している3本の結合子が上方を向いている亜鉛極性（+c極性）と、図9（b）に示すように、Zn原子51に結合している3本の結合子が上方を向き、酸素原子52に結合している3本の結合子が下方を向いている酸素極性（-c極性）とを有している。

【0005】

ここで、上記極性とは、上記結合子の向きを示しており、表面終端元素のことではない。

【0006】

そして、従来より、PMBE（plasma-assisted molecular-beam epitaxy；プ

ラズマアシスト分子線エピタキシ) 法により、サファイア基板上に酸素極性を有する ZnO 薄膜を成膜することのできることが既に報告されている (APPLIED PHYSICS LETTERS Vol. 80 No. 8 pp.1358 - 1360 (2002); 以下、「第1の従来技術」という)。

【0007】

また、サファイア基板上に Ga 極性を有する GaN を成膜し、成膜条件を制御することにより前記 GaN 上に亜鉛極性又は酸素極性を有する ZnO 薄膜を成膜することのできることも報告されている (APPLIED PHYSICS LETTERS Vol. 77 No. 22 pp.3571 - 3573 (2000); 以下、「第2の従来技術」という)。

【0008】

また、その他の従来技術として、基板上に形成される ZnO 等の圧電膜の極性を規定することのできる技術が既に提案されている (特開 2001-144328 号公報; 以下、「第3の従来技術」という)。

【0009】

該第3の従来技術では、基板の種類に応じて+面 (亜鉛極性) 又は一面 (酸素極性) を有する圧電膜 (ZnO 膜) の形成が可能であり、また、基板加熱温度等の成膜条件を変えることにより、基板上に形成される ZnO 等の圧電膜の極性を制御している。

【0010】

【発明が解決しようとする課題】

しかしながら、上記第1の従来技術では、サファイア基板上に形成される ZnO 薄膜は、同軸型直衝突イオン散乱分光法 (Coaxial Impact Collision Ion Scattering Spectroscopy; CAICISS) により酸素極性を有することが確認されているが、斯かる ZnO 薄膜には略六角形状の結晶粒が残留し、表面形状が凹凸状となるため、所望の表面平滑性を有する ZnO 薄膜を得ることができない。すなわち、第1の従来技術で形成された ZnO 薄膜の表面形状は平滑性に欠けるため、該 ZnO 薄膜を使用して半導体デバイスを製造した場合、結晶粒界を介して電流が流れたり、結晶粒の凸部分で電界集中が生じ、このためデバイス動作が不安定化したり破壊する虞がある。

【0011】

また、第2の従来技術によれば、成膜条件を変えることにより、ZnO薄膜の極性を制御することができ、これにより、GaN上に亜鉛極性又は酸素極性を有するZnO薄膜を形成することができるが、GaN上にZnOを成膜する際に基板温度が昇温するため、GaNの構成元素であるGaがZnO薄膜へ拡散する虞がある。そして、GaはZnOに対しドナーとして作用するため、GaがZnO薄膜中に拡散するとZnOが低抵抗化する。しかも、前記拡散を制御することは困難であるため、半導体デバイスのデバイス特性にバラツキの生じる虞がある。

【0012】

さらに、上記第2の従来技術は、GaNとZnOとで格子不整合が存在するため、斯かる格子不整合を緩和すべく格子欠陥が導入され、その結果ZnO薄膜の結晶性が劣化し電気特性の悪化を招来する。

【0013】

また、上記第3の従来技術は、亜鉛極性又は酸素極性を有する圧電膜の形成については開示されているが、極性が薄膜の表面形状や電気特性に及ぼす影響については何ら開示されておらず、しかも基板材料が圧電膜材料とが異なるため、第2の従来技術と同様、格子不整合に起因した結晶性の悪化を招来する虞があり、信頼性に優れた所望の良好な電気特性を得ることができないという問題点がある。

【0014】

本発明はこのような事情に鑑みなされたものであって、表面平滑性に優れたZnO薄膜を具備することにより、結晶性に優れ、良好な電気特性を有する半導体デバイス、及び半導体デバイスの製造方法を提供することを目的とする。

【0015】

【課題を解決するための手段】

本発明者らは、表面平滑性が良好なZnO薄膜を得るべき鋭意研究した結果、酸化亜鉛を主成分とする単結晶基板の亜鉛極性面上にZnO薄膜を形成することにより、表面平滑性や結晶性に優れ、良好な電気的特性を有する半導体デバイスを得ることができるという知見を得た。

【0016】

本発明はこのような知見に基づきなされたものであって、本発明に係る半導体デバイスは、亜鉛極性面と酸素極性面とを有する酸化亜鉛を主成分とする単結晶基板の前記亜鉛極性面上に酸化亜鉛を主成分とする少なくとも1層以上の薄膜が形成されていることを特徴としている。

【0017】

また、本発明者らは、前記薄膜の極性を調べたところ、亜鉛極性を有することが判明した。

【0018】

したがって、本発明の半導体デバイスは、前記薄膜は亜鉛極性を有していることを特徴としている。

【0019】

また、本発明の半導体デバイスは、前記薄膜は多層膜からなり、該多層膜は発光層、又はスイッチング部を形成していることを特徴としている。

【0020】

上記半導体デバイスによれば、表面平滑性や結晶性に優れたZnO系の多層膜を具備しているので、良好な電気特性を有する発光素子や薄膜トランジスタ等の半導体デバイスを容易に得ることができる。

【0021】

また、本発明に係る半導体デバイスの製造方法は、酸化亜鉛を主成分とする単結晶基板の表面が亜鉛極性面又は酸素極性面のいずれであるかを判別し、酸化亜鉛を主成分とする少なくとも1層以上の薄膜を前記亜鉛極性面上に形成することを特徴とし、また前記薄膜は亜鉛極性を有していることを特徴としている。

【0022】

上記製造方法によれば、酸化亜鉛基板の亜鉛極性面上に容易且つ確実に所望のZnO系薄膜を形成することができる。

【0023】

また、本発明の半導体デバイスは、プラズマ生成室と成膜室とを備えたスパッタリング装置を設け、該スパッタリング装置を使用してスパッタリング処理を施

し、前記薄膜を形成することを特徴としている。

【0024】

上記製造方法によれば、スパッタリング処理して成膜することにより、所望の電気的特性を有する半導体デバイスを安価に得ることができ、しかもプラズマ生成室と成膜室とを区分しているので、半導体デバイスがプラズマダメージを受けるのを極力回避することができる。

【0025】

また、前記スパッタリング処理は、電子サイクロトロン共鳴プラズマスパッタ法、誘導結合形プラズマスパッタ法、ヘリコン波励起プラズマスパッタ法、イオンビームスパッタ法、又はクラスタービームスパッタ法の中から選択されたいずれかの方法で行うのが好ましく、或いは前記薄膜は、分子線エピタキシ法、有機金属化学気相法、レーザ分子線エピタキシ法、又はレーザアブレーション法の中から選択されたいずれかの方法で行うのも好ましい。

【0026】

【発明の実施の形態】

次に、本発明の実施の形態を図面に基づいて詳説する。

【0027】

図1は本発明に係る半導体デバイスの一実施の形態（第1の実施の形態）としての発光ダイオード（Light Emitting Diode；以下、「LED」という）の模式断面図である。

【0028】

同図において、1はn形導電性を有する導電性のZnOを主成分とする単結晶基板（以下、「ZnO基板」という）であって、該ZnO基板1は亜鉛極性面1aと酸素極性面1bとを有している。

【0029】

そして、該LEDでは、ZnO基板1の亜鉛極性面1a上に発光層2が形成され、該発光層2の表面には酸化インジウムスズ（Indium Tin Oxide；以下、「ITO」という）からなる膜厚約150nmの透明電極3が形成され、さらに該透明電極3の表面略中央部にはNi膜、Al膜、及びAu膜が順次積層された膜

厚総計約300nmのp側電極4が形成されている。また、ZnO基板1の酸素極性面1b上にはTi膜及びAu膜が順次積層された膜厚総計約300nmのn側電極5が形成されている。

【0030】

上記発光層2は、具体的には、n形コンタクト層6、n形クラッド層7、活性層8、p形クラッド層9、及びp形コンタクト層10が順次積層された多層膜で構成されている。すなわち、活性層8は、n形クラッド層7及びp形クラッド層9に挟持され、また、n形クラッド層7はn形コンタクト層6及びZnO基板1を介してn側電極5に接続され、p形クラッド層9はp形コンタクト層10を介して透明電極3に接続されている。

【0031】

活性層8は、CdOとZnOとを混晶させた膜厚約200nmの $Cd_xZn_{1-x}O$ （xは、 $0 \leq x < 1$ で、例えば0.1）で形成されている。尚、該活性層8は、n形のキャリアである電子とp形のキャリアである正孔との再結合により発光し、発光する光の波長はバンドギャップエネルギーにより決定される。

【0032】

また、n形クラッド層7及びp形クラッド層9は、キャリアを活性層8内に有効に閉じ込める必要があることから、前記活性層8よりバンドギャップエネルギーが大きく、例えば、MgOとZnOとを混晶させた $Mg_yZn_{1-y}O$ （yは、 $0 \leq y < 1$ で、例えば0.2）からなり、n形クラッド層7の膜厚は約2000nm、p形クラッド層9の膜厚は約600nmに形成されている。

【0033】

また、n形コンタクト層6及びp形コンタクト層10は、共に膜厚約200nmのZnOで形成されている。

【0034】

次に、上記LEDの製造方法を説明する。

【0035】

まず、SCVT (Seeded Chemical Vapor Transport) 法等でZnO単結晶を作製し、ZnO単結晶を結晶軸のc軸方向に垂直な面に切出して鏡面研磨を施し

、ZnO基板を作製してその極性を確認する。

【0036】

ZnOのように圧電性を有する化合物半導体の極性を判別する方法としては、同軸型直衝突イオン散乱分光(CAICISS)法 (APPLIED PHYSICS LETTERS Vol. 72 (1998) p824)、収束電子線回折(CBED)法 (APPLIED PHYSICS LETTERS Vol. 69 (1996) p337)、非線型誘電率顕微鏡(SNDM)法 (先端技術シンポジウム「圧電材料と弾性波デバイス」(2000年2月) pp. 23-30) 等が知られているが、本実施の形態ではSNDM (Scanning Nonlinear Dielectric Microscopy) 法でZnO基板の極性を確認している。

【0037】

すなわち、SNDMは、ZnO基板1上でプローブ探針を走査させながら電位を印加するとZnO基板1の極性を反映した強度信号を検出する。一方、印加電位が「0」のときは電位が印加されていないため、極性を反映した強度信号は検出されない。つまり、SNDM法では、ZnO基板1上に電位を印加すると、印加電位が「0」の場合に比べ、強度信号が+側又は一側に変位することとなる。したがって、SNDM法では、印加電位が「0」のときの強度を基準信号とし、ZnO基板1上でプローブ探針を走査させながら電位を印加したときの強度信号を極性信号とすることにより、極性信号が基準信号に対して+側に変位するか一側に変位するかでZnO基板の極性を判別することができる。尚、本実施の形態では、SNDMの構成上、極性信号が基準信号に対し一側に変位したときは+極性(亜鉛極性)を示し、極性信号が基準信号に対し+側に変位したときは-極性(酸素極性)を示すようになっている。

【0038】

図2 (a) (b) はZnO基板1の極性特性を示す図であって、横軸は走査長(μm)、縦軸は強度(a.u.; 任意単位)を示している。また、図2中、矢印X方向がZnO基板1の極性信号を示し、矢印X'方向は電位を印加しなかった場合の基準信号を示している。

【0039】

そして、図2 (a) に示すように、極性信号が基準信号に比べて一側に変位し

た場合はZnO基板1の極性面は亜鉛極性面であり、図2(b)に示すように、極性信号が基準信号に比べて+側に変位した場合はZnO基板1の極性面は酸素極性面であると判別することができる。

【0040】

次に、上述の如くZnO基板1の極性を判別した後、電子サイクロトロン共鳴(Electron Cyclotron Resonance；以下、「ECR」という)スパッタ装置を使用し、ZnO基板1の亜鉛極性面1a上にZnO薄膜を積層する。

【0041】

すなわち、プラズマ生成室と成膜室とに区分されたECRスパッタ装置を準備し、亜鉛極性面1aが上面となるようにZnO基板1を成膜室の所定位置にセッティングし、ZnO基板1を温度300～800℃に加熱する。

【0042】

次いで、酸素等の反応性ガス及びアルゴン等のプラズマ生成用ガスをプラズマ生成室に供給すると共に、サイクロトロンが共鳴する周波数(2.45GHz)でマイクロ波放電を行い、これによりプラズマ生成室でプラズマを生成する。

【0043】

そしてこの後、スパッタターゲットに高周波電力(例えば、150W)を印加し、プラズマ生成室で生成されたプラズマを使用してターゲット物質(ZnO)をスパッタリングし、反応性スパッタリングによりZnO基板1の表面にZnOからなるn形コンタクト層6を形成する。次に、MgOとZnOとを所望の混合比にて焼結したターゲットを使用して反応性スパッタリングを行い、 $Mg_y Zn_{1-y}O$ ($0 \leq y < 1$) からなるn形クラッド層7を形成する。

【0044】

以下、同様にして反応性スパッタリングを施し、順次 $Cd_x Zn_{1-x}O$ ($0 \leq x < 1$) からなる活性層8、 $Mg_y Zn_{1-y}O$ ($0 \leq y < 1$) からなるp形クラッド層9、ZnOからなるp形コンタクト層10を形成する。尚、各薄膜の膜厚は反応時間を制御することにより所望膜厚に設定される。

【0045】

次に、真空蒸着法によりZnO基板1の酸素極性面1bの表面にTi膜及びA

u膜を順次成膜してn側電極5を形成し、次いで、真空蒸着法によりp形コンタクト層10の表面にITO膜を成膜して透明電極3を形成し、その後、リフトオフ法によりNi、Al、Auを順次積層してp側電極4を形成する。

【0046】

このように本第1の実施の形態では、ZnO基板1の亜鉛極性面1a上にZnO系の多層膜からなる発光層2を形成しており、これにより、表面平滑性に優れたZnO系薄膜が順次積層され、その結果、n型クラッド層7の表面は、図3（図1のA部拡大図）に示すように、平滑なテラス11と直線状のステップ12を有する表面平滑性に優れた薄膜となり、したがって表面に結晶粒や凹凸部が残存することなく、表面平滑性に優れたZnO薄膜を得ることができる。

【0047】

尚、図3に示すような平滑性に優れた薄膜は、n型クラッド層7のみではなく、n型コンタクト層6、活性層8、p型クラッド層9、及びp型コンタクト層10でも同様に得ることができる。

【0048】

そして、このように前記ZnO系薄膜が表面平滑性に優れているため、結晶粒界を介して電流が流れたり、ZnO膜の表面で電界集中が生じることもなく、したがって電子が移動する際に散乱を生じることもなく、電子の移動度も大きく結晶性に優れた電気特性の良好なLEDを得ることができる。

【0049】

また、上記第1の実施の形態では、ECRスパッタ装置を使用し、スパッタリング処理によりZnO系薄膜を形成しているため、別途に高価な装置を設ける必要もなく、安価に薄膜形成を行うことができる。しかも、プラズマ生成室と成膜室とが区分されているので、ZnO薄膜がプラズマダメージを受けるのを極力回避して良質の薄膜を得ることができる。

【0050】

また、本実施の形態では、更にSNDMを使用しZnO基板1の表面に形成されたZnO薄膜の極性を調べた。

【0051】

すなわち、SNDMの深さ方向の感度はプローブ探針の針先半径と試料であるZnOの誘電率によって決定されるが、ZnOの場合、プローブ探針の針先半径と同程度の深さにのみ感度があるため、前記針先半径を膜厚より小さくすることにより、下地であるZnO基板1の極性とは無関係にZnO薄膜の極性を判別することができる。

【0052】

図4はZnO薄膜の極性特性を示す図であって、図2(a)(b)と同様、横軸は走査長(μm)、縦軸は強度(a.u.)を示し、矢印X方向がZnO基板1の極性信号を示し、矢印X'方向は電位を印加しなかった場合の基準信号を示している。

【0053】

そして、この図4から明らかなように、極性信号が基準信号に比べて一側に変位しており、ZnO薄膜は亜鉛極性を有していることが分かる。すなわち、ZnO基板1の亜鉛極性面上に形成されたZnO系薄膜は亜鉛極性を有していることとなる。

【0054】

尚、本実施の形態では、発光層2として、p型クラッド層9とn型クラッド層7で活性層8を挟持させたダブルヘテロ構造を使用しているが、pn接合構造、MIS(メタルー絶縁層ー半導体層)構造、或いはシングルヘテロ構造等を使用してもよい。

【0055】

図5は本発明に係る半導体デバイスの第2の実施の形態としてのレーザーダイオード(Laser Diode; 以下、「LD」という)の模式断面図である。

【0056】

すなわち、該LDは、導電性を有するZnO基板13の亜鉛極性面13a上に発光層14が形成され、該発光層14の表面にはNi膜、Al膜、及びAu膜が順次積層された膜厚総計約300nmのp側電極15が形成されている。また、ZnO基板13の酸素極性面13b上にはTi膜及びAu膜が順次積層された膜厚総計約300nmのn側電極16が形成されている。

【0057】

上記発光層 14 は、具体的には、n 形コンタクト層 17、n 形クラッド層 18、n 形光ガイド層 19、活性層 20、p 形光ガイド層 21、p 形クラッド層 22、電流制限層 23 及び p 形コンタクト層 24 が順次積層された多層膜で構成されている。すなわち、活性層 20 は、n 形ガイド層 19 及び p 形ガイド層 21 を介して夫々 n 形クラッド層 18 及び p 形クラッド層 22 に挟持されている。また、n 形クラッド層 18 は n 形コンタクト層 17 及び ZnO 基板 13 を介して n 側電極 16 と接続され、p 形クラッド層 22 は電流制限層 23 及び p 形コンタクト層 24 を介して p 側電極 15 に接続されている。

【0058】

活性層 20 は、具体的には、 $Mg_y Zn_{1-y}O$ (y は、 $0 \leq y < 1$ で、例えば、0.1) からなるバリア層と $Cd_x Zn_{1-x}O$ (x は、 $0 \leq x < 1$ で、例えば、0.1) からなるウェル層とをそれぞれ 3 nm ずつ交互に 2～5 層積層した多重量子井戸構造とされている。そして、活性層 20 の屈折率が n 形クラッド層 18 及び p 形クラッド層 22 より大きい場合は、活性層 20 に光を閉じ込めることができるが、活性層 20 が薄膜であるため十分に光を閉じ込めることができないときは、活性層 20 からの光の漏出を防止する必要がある、このため光導波路の一部を構成するように活性層 20 と n 形クラッド層 18 及び p 形クラッド層 22 との間には該クラッド層 18、22 と活性層 20 との間の中間の屈折率を有する n 形光ガイド層 19 及び p 形光ガイド層 21 が介装されている。

【0059】

そして、ZnO 基板 13 の亜鉛極性面 13a 上には ZnO からなる膜厚約 1500 nm の n 形コンタクト層 17 が形成され、また、該 n 形コンタクト層 17 の表面には $Mg_y Zn_{1-y}O$ (y は、 $0 \leq y < 1$ で、例えば 0.2) からなる膜厚約 2000 nm の n 形クラッド層 18 が形成され、さらに、該 n 形クラッド層 18 の表面には ZnO からなる膜厚約 40 nm の n 形光ガイド層 19 が形成されている。そして、n 形光ガイド層 19 の表面には上記多重井戸型構造の活性層 20 が積層され、該活性層 20 の表面には $Mg_y Zn_{1-y}O$ (y は、 $0 \leq y < 1$ で、例えば 0.2) からなる膜厚約 40 nm の p 形光ガイド層 21 が形成され、

さらに該p形光ガイド層21の表面には $Mg_yZn_{1-y}O$ (y は、 $0 \leq y < 1$ で、例えば0.2) からなる膜厚約2000nmのp形クラッド層22が形成されている。さらに、p形クラッド層22の表面には発振領域にのみ電流を流すべく $Mg_yZn_{1-y}O$ (y は、 $0 \leq y < 1$ で、例えば0.2) からなる膜厚400nmの電流制限層23が溝部23aを有するように所定形状に形成され、次いで、p形クラッド層22の表面には電流制限層23を覆うように断面T字状にp形コンタクト層24が形成されている。

【0060】

そして、上記LDも、第1の実施の形態と略同様の方法・手順で製造される。

【0061】

すなわち、まず、SCVT法等でZnO単結晶を作製し、ZnO単結晶を結晶軸のc軸方向に垂直な面に切出して鏡面研磨を施し、ZnO基板を作製し、その極性をSNDMで確認する。

【0062】

次いで、第1の実施の形態と同様、ECRスパッタ装置を準備し、亜鉛極性面13aが上面となるようにZnO基板13を成膜室の所定位置にセッティングし、ZnO基板1を温度300～800℃に加熱する。次いで、酸素等の反応性ガス及びアルゴン等のプラズマ生成用ガスをプラズマ生成室に供給すると共に、マイクロ波放電を行って、プラズマ生成室でプラズマを生成し、ターゲット物質(ZnO)をスパッタリングして反応性スパッタリングにより、ZnO基板13の表面にZnOからなるn形コンタクト層17を形成する。

【0063】

以下同様にして、ターゲット物質を適宜所望物質に変更しながら順次反応性スパッタリングを施し、n形コンタクト層17、n形クラッド層18、n形光ガイド層19、活性層20、p形光ガイド層21、p形クラッド層22、電流制限層23を順次成膜する。

【0064】

そして、電流制限層23を形成した後、成膜されたZnO基板13をECRスパッタ装置から一旦取り出し、前記電流制限層23の表面にフォトレジストを塗

布し、周知のフォトリソグラフィ技術によってレジスト膜をパターン化し、NaOHなどのアルカリ溶液でエッチング処理を施し、電流制限層23を所定形状に形成する。

【0065】

次いで、前記ZnO基板13を再びECRスパッタ装置の所定位置に戻し、反応性スパッタリングを行い、断面T字状のZnOからなるp形コンタクト層24を成膜する。

【0066】

そしてこの後、第1の実施の形態と同様、真空蒸着法によりZnO基板13の酸素極性面13bの表面にTi膜及びAu膜を順次成膜してn側電極16を形成し、次いで、真空蒸着法によりp形コンタクト層24の表面にNi、Al、Auを順次積層してp側電極15を形成する。

【0067】

このように本第2の実施の形態も、第1の実施の形態と同様、ZnO基板13の亜鉛極性面13a上にZnO系多薄膜からなる発光層14を形成しているので、平滑なテラスと直線状のステップを有するZnO系薄膜を得ることができる。

【0068】

そして、このように表面平滑性に優れているため、結晶粒界を介して電流が流れたり、ZnO膜の表面で電解集中が生じることもなく、したがって電子が移動する際に散乱を生じることもなく、電子の移動度も大きく結晶性が良好となって電気特性の良好なLDを得ることができる。

【0069】

さらに、上記第2の実施の形態でも、第1の実施の形態と同様、ECRスパッタ装置を使用してスパッタリング処理によりZnO系薄膜を形成しているので、別途に高価な装置を設ける必要もなく、安価に薄膜形成を行うことができ、また、プラズマ生成室と成膜室とが区分されているので、ZnO薄膜がプラズマダメージを受けるのを極力回避して良質の薄膜を得ることができる。

【0070】

図6は本発明に係る半導体デバイスの第3の実施の形態としての薄膜トランジ

スタ (Thin Film Transistor ; 以下、「TFT」という) の模式断面図であって、該 TFT は、絶縁性の ZnO 基板 25 と、該 ZnO 基板 25 上の略中央部に形成された膜厚 50 nm のゲート電極 26 と、該ゲート電極 26 を覆うように ZnO 基板 25 上に形成された膜厚 200 nm のゲート絶縁層 27 と、該ゲート絶縁層 27 上に形成された膜厚 50 nm の活性層 28 と、該活性層 28 の略中央部に形成された膜厚約 200 nm のチャネル保護層 29 と、該チャネル保護層 29 の一部を覆うように形成された膜厚約 200 nm のソース電極 30 及びドレイン電極 31 とから構成されている。

【0071】

そして、上記 TFT では、ZnO 基板 25 以外の構成要素、すなわち、ゲート電極 26、ゲート絶縁層 27、活性層 28、チャネル保護層 29、ソース電極 30 及びドレイン電極 31 とでスイッチング部を構成し、これらスイッチング部は ZnO 基板 25 の亜鉛極性面 25a 上に形成されている。そして、ゲート電極 26、ソース電極 30、及びドレイン電極 31 は、Ga を ZnO にドーピングすることにより低抵抗化されており、またゲート絶縁層 27 及びチャネル保護層 29 は Ni を ZnO にドーピングすることにより高抵抗化されている。また、活性層 28 は、ノンドーピングの ZnO 薄膜で形成されているが、薄膜形成の際の酸素分圧を制御することにより薄膜中の酸素濃度を調整し、これにより n 形伝導を有するように形成されている。

【0072】

そして、上記 TFT も、上記第 1 及び第 2 の実施の形態と略同様、ECR スパッタリング及びフォトリソグラフィー技術を使用して容易に製造することができる。

【0073】

すなわち、ZnO 基板を作製した後、極性を判別し、その後、ECR スパッタ装置を使用し、まず、Ga をドーピングした ZnO をターゲット物質として反応性スパッタリングを行い、ZnO 基板 25 の亜鉛極性面 25a 上に ZnO 膜 (ZnO : Ga) を形成する。

【0074】

そして、この後、該 ZnO 基板 25 を ECR スパッタ装置から取り出し、フォトレジストを前記 ZnO 膜上に塗布した後、周知のフォトリソグラフィ技術によりレジスト膜をパターン化し、この後、NaOH などのアルカリ溶液によりエッチング処理を施し、ゲート電極 26 を形成する。

【0075】

次に、Ni をドーブした ZnO をターゲット物質として反応性スパッタリングを行い、ZnO 基板 25 上にゲート電極を覆うようにしてゲート絶縁層 27 を形成し、次いで、ノンドープの ZnO をターゲット物質として酸素分圧を制御しながら反応性スパッタリングを行い、活性層 28 を形成する。

【0076】

次いで、Ni をドーブした ZnO をターゲット物質として反応性スパッタリングを行って ZnO 膜 (ZnO : Ni 膜) を形成した後、上述と同様、該 ZnO 膜にフォトレジストを塗布した後、フォトリソグラフィ技術によりレジスト膜をパターン化し、この後 NaOH などのアルカリ溶液によりエッチング処理を施し、チャネル保護層 29 を形成する。

【0077】

そしてこの後、Ga をドーブした ZnO をターゲット物質として反応性スパッタリングを行い、さらに、上述と同様、該 ZnO : Ga 膜にフォトレジストを塗布した後、フォトリソグラフィ技術によりレジスト膜をパターン化し、この後、NaOH などのアルカリ溶液によりエッチング処理を施してソース電極 30 及びドレイン電極 31 を形成する。

【0078】

このように本第 3 の実施の形態では、TFT が ZnO 系の多層膜で形成されているので、活性層 28 に光が当たった場合でも導電性の変化を抑制することができる。すなわち、従来のように活性層がアモルファスシリコン (a-Si) で形成されている場合は a-Si に光が照射されると導電性を有するようになるため、スイッチング素子の特性が劣化する虞があったのに対し、本第 3 の実施の形態では、活性層 28 が、バンドギャップが約 3.3 eV と可視光に対して透過性を有する ZnO 薄膜で形成されているので、活性層 28 に光が照射された場合であ

っても導電性が変化するのを抑制することができ、スイッチング素子の特性劣化を防止することができる。

【0079】

しかも、本T.F.Tを光電変換素子又は第1の実施の形態で示したLEDの上部に一体的に形成することにより、光電変換素子への入射光量を増大させたり又は発光層からの発光量を増大させることができ、開口率を上げることができる。

【0080】

尚、本発明は上記実施の形態に限定されるものではない。上記実施の形態ではZnO系薄膜の形成を、ECRスパッタ法で行っているが、誘導結合形プラズマ(ICP)スパッタ法、ヘリコン波励起プラズマ(HWP)スパッタ法、イオンビームスパッタ法、又はクラスタービームスパッタ法等を使用してもよく、また、スパッタリング法以外の薄膜形成方法、例えば分子線エピタキシ(MBE)法、有機金属化学気相(MOCVD)法、レーザ分子線エピタキシ(レーザMBE)法、又はレーザアブレーション法等を使用してZnO系薄膜を形成するようにしてもよい。

【0081】

【実施例】

次に、本発明の実施例を具体的に説明する。

【0082】

本発明者らは、ECRスパッタ装置を使用し、ZnO基板の亜鉛極性面にZnO薄膜を形成し、実施例の試験片を作製し、また、ZnO基板の酸素極性面にZnO薄膜を形成し、比較例の試験片を作製した。

【0083】

すなわち、まず、プラズマ生成室と成膜室とに区分されたECRスパッタ装置を準備し、ZnO基板を成膜室の所定位置に配設すると共に、基板温度を620℃に加熱した。そして、スパッタガスとして20sccmのArガス、反応ガスとして10sccmのO₂ガスを夫々プラズマ生成室に供給してマイクロ放電してプラズマを発生させ、スパッタターゲットに150Wの高周波電界を印加し、反応性スパッタリング処理を行い、ZnO基板上の亜鉛極性面又は酸素極性面に夫々Zn

O 薄膜を形成し、実施例及び比較例の試験片を作製した。

【0084】

次に、本発明者らは、ZnO 薄膜の表面形状を原子間顕微鏡で観察した。

【0085】

図7は実施例のZnO 薄膜を示し、図8は比較例であるZnO 基板の酸素極性面上に形成されたZnO 薄膜を示している。

【0086】

この図8から明らかなように、比較例のZnO 薄膜は島状になっており結晶粒界が存在していることが分かる。

【0087】

これに対して図7に示すように実施例のZnO 薄膜の表面形状は平滑なテラスと略直線状のステップを有する薄膜が得られることが確認された。

【0088】

すなわち、ZnO 基板の亜鉛極性面に形成されたZnO 薄膜は、ZnO 基板の酸素極性面に形成されたZnO 薄膜に比べて表面平滑性が大幅に優れていることが分かった。

【0089】

次に、本発明者らは、ZnO 薄膜の自乗平均面粗さRMSを算出し、表面ラフネスを評価した。

【0090】

その結果、比較例のZnO 薄膜は自乗平均面粗さRMSが20.4 nmであったのに対し、実施例のZnO 薄膜は自乗平均面粗さRMSが1.4 nmであり、ZnO 基板では亜鉛極性面上にZnO 薄膜を形成することにより、酸素極性面上にZnO 薄膜を形成した場合に比べ表面平滑性が大幅に向上することが分かった。

【0091】

次に、本発明者らは、ホール測定を行い、電子の移動度を算出した。

【0092】

すなわち、結晶性が良好であると電子が移動する際に結晶欠陥による散乱をう

けないため移動度が大きくなるのに対し、結晶欠陥が存在すると電子が移動する際に散乱をうけるため移動度が小さくなる。したがって、電子の移動度を算出することにより結晶性の良好性や電気特性を評価することができる。

【0093】

そこで、本発明者らは、実施例及び比較例の各 ZnO 薄膜上に真空蒸着法で Ti 膜及び Au 膜を順次積層して電極を形成し、ホール測定を行って電子の移動度を測定した。

【0094】

その結果、電子の移動度は比較例では $2 \text{ cm}^2 / \text{V} \cdot \text{sec}$ であったのに対し、実施例は $30 \text{ cm}^2 / \text{V} \cdot \text{sec}$ と移動度が大きく、したがって実施例は比較例に比べて結晶性に優れ、電気特性が良好であることが確認された。

【0095】

【発明の効果】

以上詳述したように本発明に係る半導体デバイスは、亜鉛極性面と酸素極性面とを有する ZnO 基板の前記亜鉛極性面上に ZnO を主成分とする少なくとも 1 層以上の薄膜が形成されているので、表面平滑性及び結晶性に優れた薄膜を形成することができる。

【0096】

また、前記薄膜層は亜鉛極性を有しているので、ZnO 基板の亜鉛極性面上に形成された ZnO 系薄膜は亜鉛極性を有していることが分かる。

【0097】

また、前記薄膜は多層膜からなり、該多層膜は発光層を構成しているので、発光層は表面平滑性及び結晶性に優れ、良好な電気特性を有する LED や LD 等の発光デバイスを得ることができる。

【0098】

また、前記薄膜は多層膜からなり、該多層膜はスイッチング部を構成することにより、活性層に光が照射された場合であっても導電性が変化するのを抑制することができ、これによりスイッチング素子の特性劣化を防止することのできる TFT 等の半導体デバイスを容易に得ることができる。

【0099】

また、本発明に係る半導体デバイスの製造方法は、ZnO基板の表面が亜鉛極性面又は酸素極性面のいずれであるかを判別し、ZnOを主成分とする少なくとも1層以上の薄膜を前記亜鉛極性面上に形成し、また前記薄膜は亜鉛極性を有しているので、亜鉛極性面上にはZnO系薄膜を容易に形成することができる。

【0100】

また、プラズマ生成室と成膜室とを備えたスパッタリング装置を設け、該スパッタリング装置を使用してスパッタリング処理を施すので、所望の電気的特性を有する半導体デバイスを安価に得ることができ、しかもプラズマ生成室と成膜室とを区分しているので、半導体デバイスがプラズマダメージを受けるのを極力回避することができる。

【図面の簡単な説明】

【図1】

本発明に係る半導体デバイスの一実施の形態（第1の実施の形態）の模式断面図である。

【図2】

ZnOの極性特性を示す図である。

【図3】

ZnO基板の亜鉛極性面上に形成されたZnO薄膜の表面形状を模式的に示した断面図である。

【図4】

ZnO基板の亜鉛極性面上に形成されたZnO薄膜の極性特性を示す図である。

【図5】

本発明に係る半導体デバイスの第2の実施の形態を模式断面図である。

【図6】

本発明に係る半導体デバイスの第3の実施の形態を模式断面図である。

【図7】

ZnO基板の亜鉛極性面に形成されたZnO薄膜の表面形状を示す顕微鏡写真

である。

【図 8】

ZnO 基板の酸素極性面に形成された ZnO 薄膜の表面形状を示す顕微鏡写真である。

【図 9】

ZnO の結晶構造を示す図である。

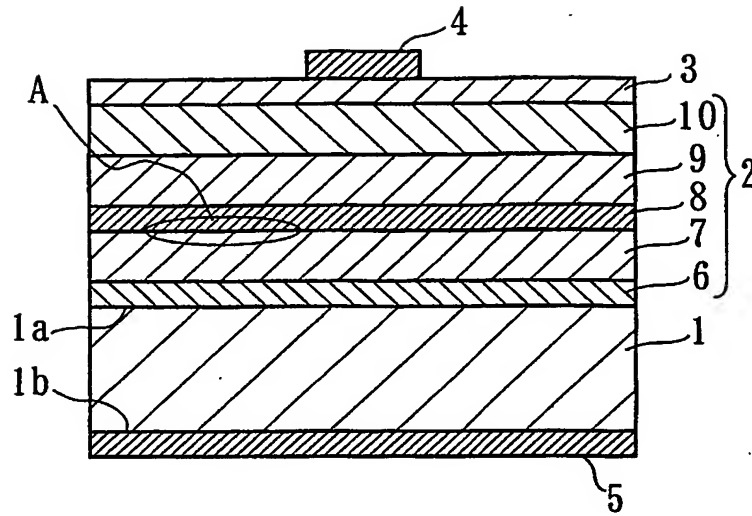
【符号の説明】

- 1 ZnO 基板
- 1 a 亜鉛極性面
- 2 発光層 (ZnO 系薄膜)
- 1 3 ZnO 基板
- 1 3 a 亜鉛極性面
- 1 4 発光層 (ZnO 系薄膜)
- 2 5 ZnO 基板
- 2 5 a 亜鉛極性面

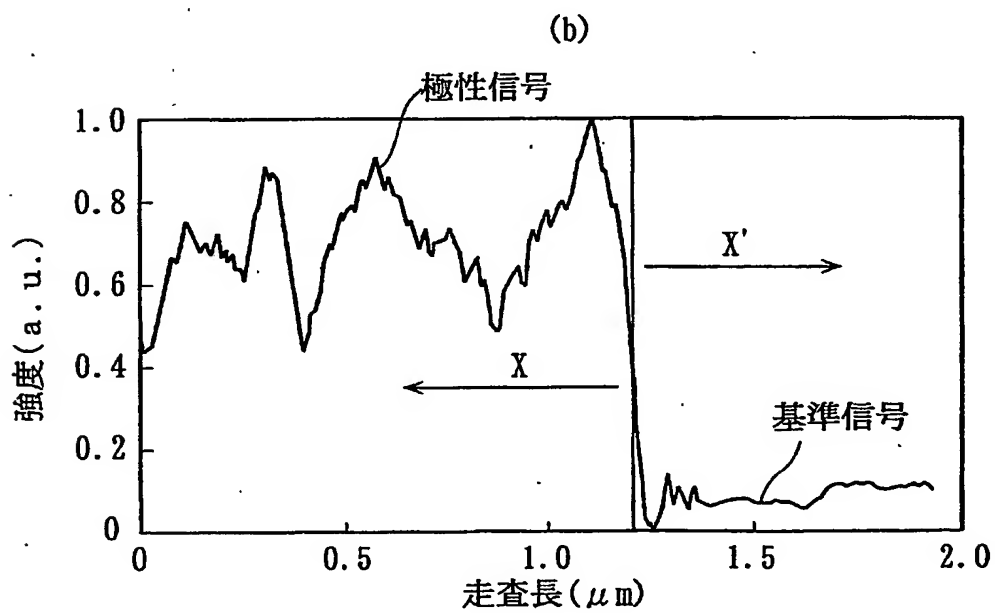
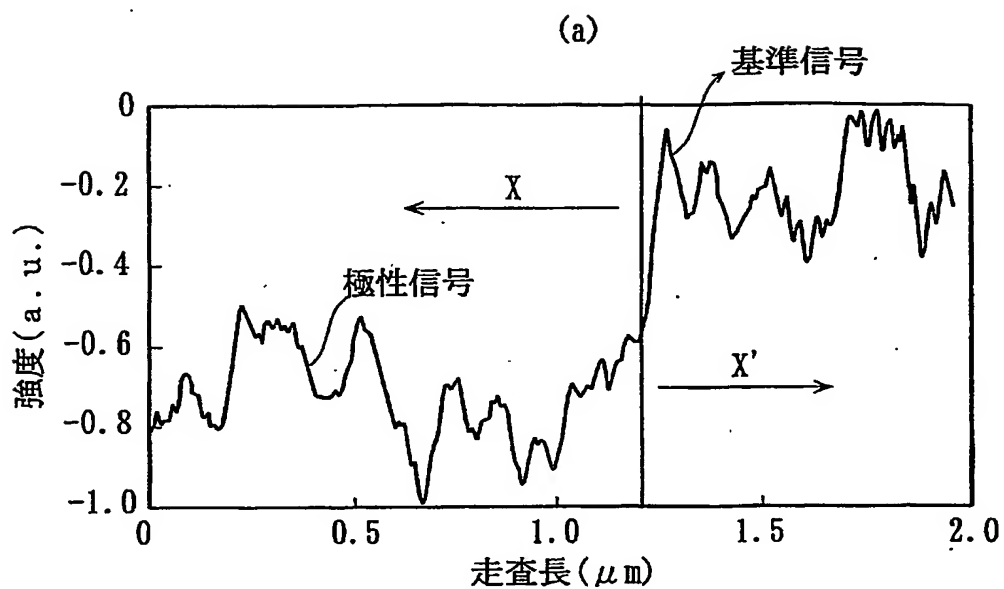
【書類名】

図面

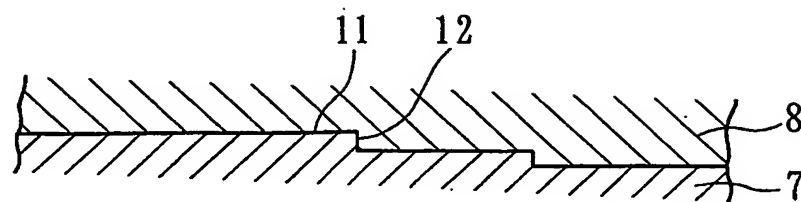
【図 1】



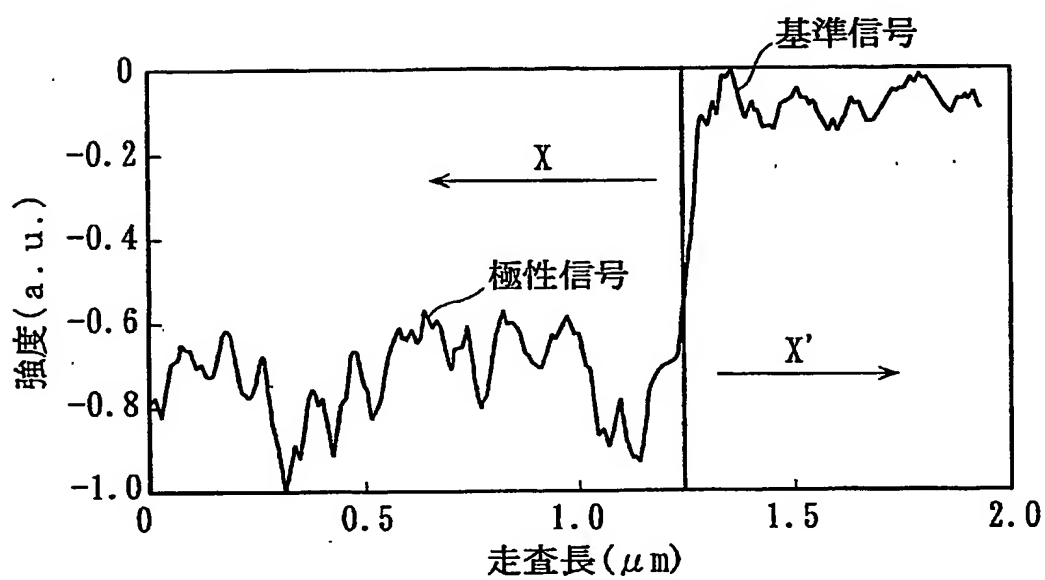
【図 2】



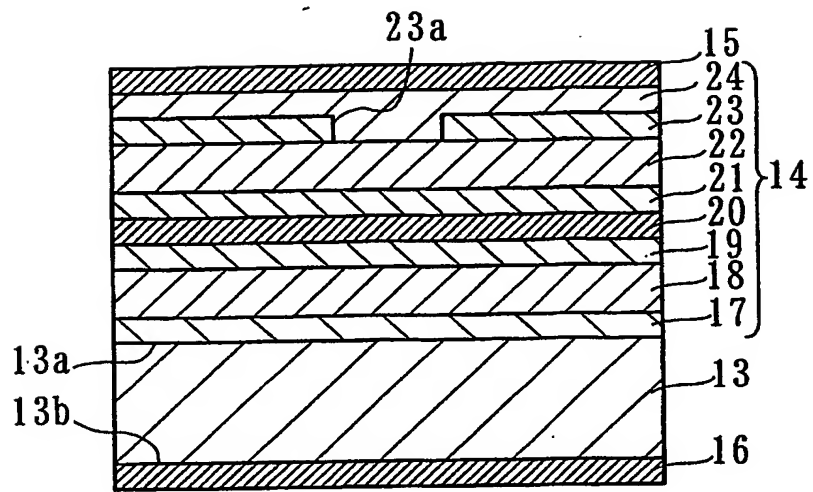
【図 3】



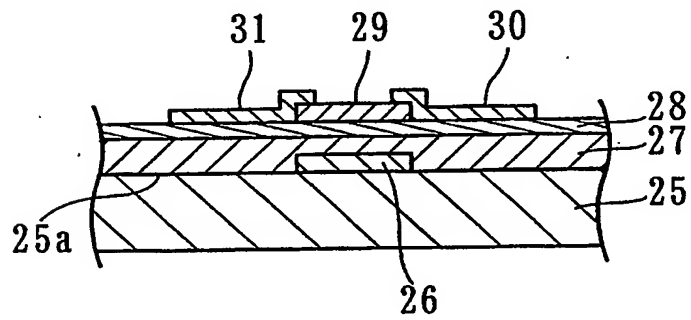
【図 4】



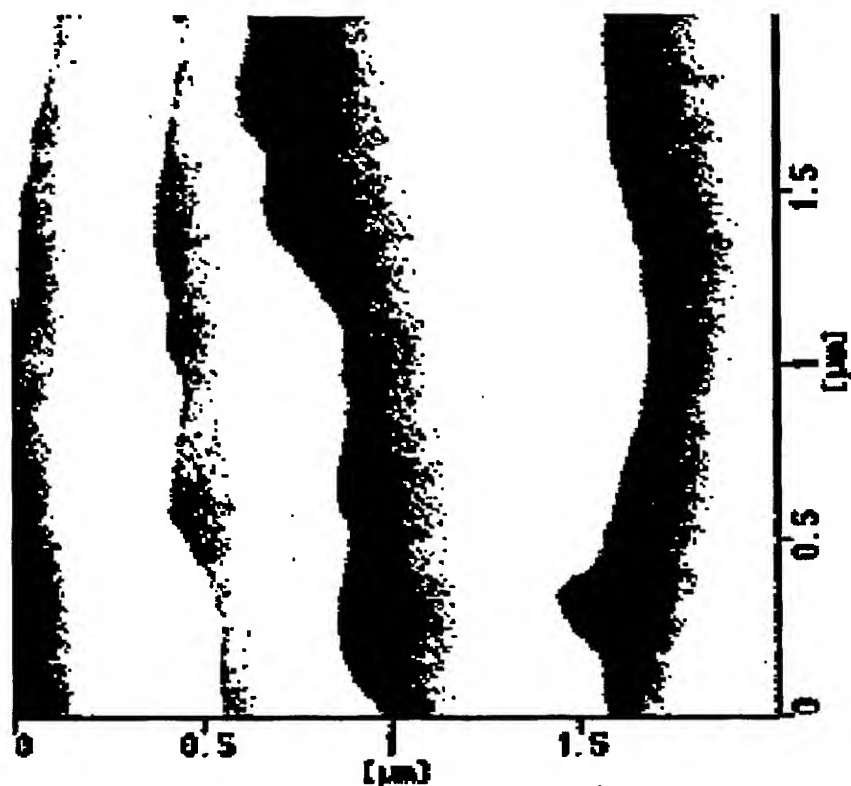
【図 5】



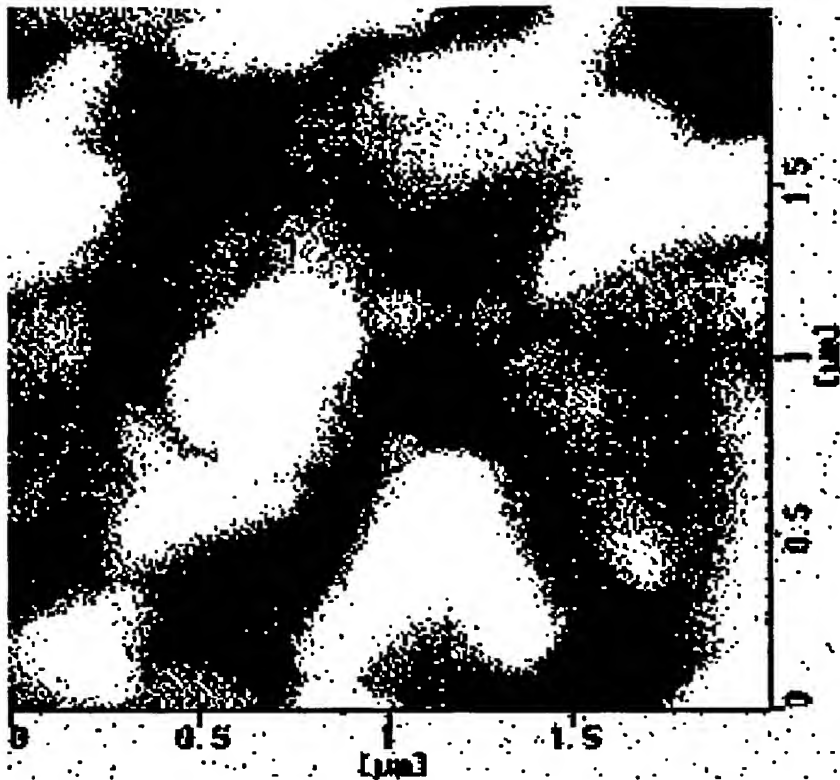
【図 6】



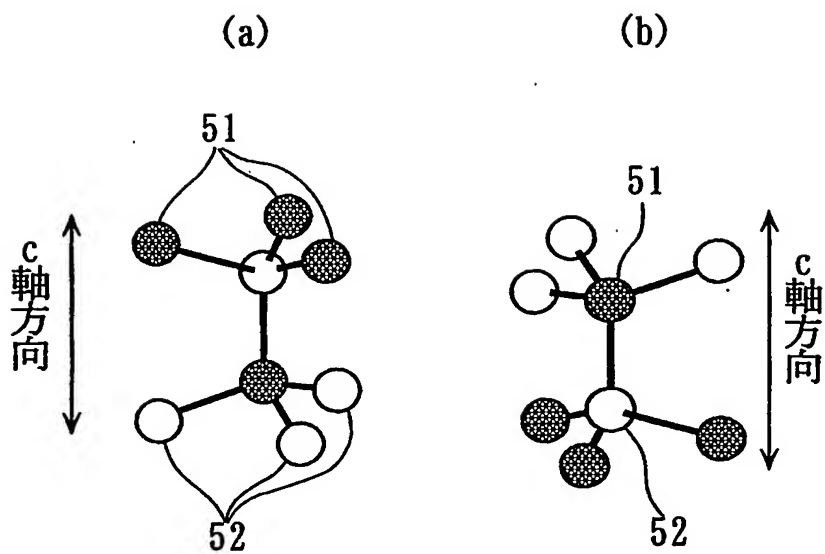
【図 7】



【図8】



【図9】



【書類名】 要約書

【要約】

【課題】 表面平滑性に優れたZnO薄膜を有し、結晶性に優れ、良好な電気特性を有する半導体デバイスを得る。

【解決手段】 ZnO基板1の亜鉛極性面1a上にZnOを主成分とするZnO系薄膜（n形コンタクト層6、n形クラッド層7、活性層8、p形クラッド層9、p形コンタクト層10）をECRスパッタ法等で順次成膜する。次いで、真空蒸着法等によりp形コンタクト層10の表面に透明電極3及びp側電極4を形成し、また、ZnO基板1の酸素極性面1b上にn側電極5を形成する。また、上記ZnO系の各薄膜はいずれも亜鉛極性を有する。

【選択図】 図1

特願 2002-172301

出 願 人 履 歴 情 報

識別番号

[000006231]

1. 変更年月日

1990年 8月28日

[変更理由]

新規登録

住 所

京都府長岡京市天神二丁目26番10号

氏 名

株式会社村田製作所